

否定標準回路を用いた問題の計算複雑性の解析  
Computational Complexity Analysis using  
Negation Normal Form Circuit

小林 弘二

概要. 本稿では, 入力端子にのみ NOT 素子が接続するほぼ単調な計算回路 (否定標準回路) を用いた計算複雑性の解析手法を述べる. 否定標準回路は Turing 機械を模倣できるにも関わらず回路の大部分が単調な回路であり, 計算における入力の遷移がどのように行われるのかを従来の計算回路よりも容易に扱うことができる. 本稿では否定標準回路をさらに AND 素子 OR 素子からなる単調部分回路 (評価回路) と NOT 素子からなる部分回路に分割し, 評価回路に着目して解析を行う. 評価回路から見た場合, NOT 素子は評価回路の入力に対する制約と考えることができる. 評価回路としては入力の制約は NOT 素子の制約である必要はなく, NOT 素子の一部の制約のみ持つ入力や, あるいは全く制約を持たない入力を考えることもできる. このように入力の持つ制約を色々に入れ替えることにより, 否定標準回路では評価回路のもつ単調性を活かしながら回路の持つ計算能力を Turing 機械相当に保つことができる. 本稿ではこの手法を用いてクリーク問題の複雑性を解析する.

This paper describes about analyzing method for computational complexity using Negation Normal Form Circuit. Although Negation Normal Form Circuit can emulate Turing machines, most of the circuits are monotonic. In this paper, Negation Normal Form Circuit is further divided into a monotonic subcircuit consisting of AND and OR gate (Rating Circuit) and a subcircuit consisting of NOT elements, and the analysis focuses on the Rating Circuit. From the viewpoint of the Rating Circuit, the NOT gate is constraint on the input of the Rating Circuit. We can use another input constraints. By changing the constraints of the inputs of Rating Circuit, We can analyse complexity detail. In this paper, we use this method to analyze the complexity of the clique problem.

## 0.1. はじめに

本稿では, 決定問題において問題の入力の同値関係の構造が計算複雑性にどのように影響するかを, 入力に繋がる配線にのみ NOT 素子が存在するほぼ単調な回路族 (否定標準回路族) を用いて解析する.

回路族はその構成要素となる素子が簡素な構造をしているため, 計算複雑性の解析で古くから用いられている. 例えば  $AC_0$  に PARITY 問題が含まれないこと [Ajtai, Furst] や, 単調関数  $CLIQUE$  は多項式サイズの単調回路で計算できないこ

と [Razborov] など、チューリングマシンでは困難な問題クラスに対して回路族を用いてることクラス分離に成功している。また単調回路と通常の回路の中間の回路として NOT 素子数を制限した否定数限定回路計算量の研究が行われており、 $n$  入力回路について高々多項式倍でかつ  $\log(n+1)$  の NOT 素子からなる回路に置き換えることができること [Markov]、よってド・モルガンの定理より入力の変数をリテラルに変換する部分のみに NOT 素子を使用する回路も高々多項式倍の規模で計算できることが明らかになっている。しかし分離に成功できていない計算クラスも多く、より精密に問題複雑性を解析できる手法が必要となっている。

そこで本稿では、決定問題の解析を行う手段として入力の部分入力の互換性に着目した。決定問題を問題全体の入力の集合として考えると、決定問題は入力を受理と拒否という 2 つの同値関係に類別することで計算する。この計算は最初はすべて異なる入力を徐々にまとめながら最終的には受理と拒否の 2 つに分類する。この分類における個々の計算は局所的であり、部分入力互換になるかどうかにより入力全体を分類できるかどうかを計算している。よって、この部分入力の互換を解析することで、部分入力の構造が計算複雑性にどの様に影響するかを明確化することができる。

部分入力の互換性を扱いやすくするために、本稿では計算モデルとして否定標準回路族を用いている。否定標準回路族はリテラルに変換する部分のみに NOT 素子を使用する回路であり、リテラルに対して単調な回路になりながらも通常の回路の高々多項式規模で構成できるという性質を持つ。また単調回路部分（評価回路）に着目すると、入力が通常よりも制限された単調回路と考えることができ、回路の成約を入力の制約におきかえることができる。

なお、計算理論に関する結果や用語は、特に定義しない限り文献 [Sipser] に従うものとする。

## 0.2. 否定標準回路

否定標準回路族を定義する。一般に計算で用いる回路は AND 素子、OR 素子、NOT 素子による有向非循環グラフであり、ド・モルガンの法則を適用することにより NOT 素子が入力配線にのみ接続するほぼ単調な回路にすることができる。この回路を本稿では否定標準回路と呼ぶ。否定標準回路は文献 [Sipser] に挙げられている

チューリングマシンを模倣する計算回路と同じ構成であり、チューリングマシンが多項式時間で計算可能な問題は多項式規模の否定標準回路で計算できる。否定標準回路の入力に注目すると、否定標準回路は入力に NOT 素子の制限を加えた単調回路と考えることができる。この制限を段階的に緩和することにより、回路における NOT 素子の働きの一部を明らかにすることができる。

#### 定義 0.2.1. $\text{ãÑ}$

否定標準回路族 (Negation Normal Form Circuit Family)  $[F]$  を、決定問題  $F$  を計算する回路族のうち、NOT 素子の入力配線が回路の入力端子にのみ接続する回路からなる回路族とする。否定標準回路族を構成する回路を否定標準回路  $[F]$  と呼び、混乱の無い限り否定標準回路族と同一視する。簡単のため、否定標準回路は等価な回路のうち最も少ない素子からなる最も少ない配線の回路とし、入力端子・出力端子も素子として扱う。また AND 素子の出力は OR 素子に、OR 素子の出力は AND 素子につながるものとする。

否定標準回路の各素子  $g \in [F]$  は、出力端子を 0 番とする連続した整数で付番し、 $g_0, g_1, g_2, \dots$  で表す。素子の番号はその素子の入力に繋がるどの素子よりも小さいものとする。AND 素子  $\wedge_p$ 、OR 素子  $\vee_q$  の番号  $p, q$  はどの NOT 素子  $\neg_r$  の番号  $r$  よりも小さく、NOT 素子  $\neg_r$  の番号  $r$  はどの入力端子  $o_s$  の番号  $s$  よりも小さい。また、素子  $g$  の出力値を決定する部分回路を  $[g]$  で表す。簡単のため、回路の出力端子  $o_0$  につながる素子は AND 素子  $\wedge_1$  とする。

否定標準回路は最初の計算のみに NOT 素子を使い、その後は単調な評価回路により計算する。よって、否定標準回路から NOT 素子を取り除いた部分回路も、NOT 素子の入力配線と出力配線を新たな入力端子とすることにより単調回路として扱うことができる。

#### 定義 0.2.2. $\text{ãÑ}$

否定標準回路のすべての AND 素子  $\wedge$  と OR 素子  $\vee$  からなる (NOT 素子を取り除いた) 単調部分回路を評価回路 (Rating Circuit) と呼ぶ。否定標準回路の入力端子  $o$  と NOT 素子  $\neg$  の出力に繋がる配線を評価回路の入力端子と呼ぶ。否定標準回路と異なり、評価回路の入力には NOT 素子  $\neg$  の制限  $[o] \wedge [\neg] \neq 1, [o] \vee [\neg] \neq 0$  は無い

ものとする．評価回路において，否定標準回路の同じ NOT 素子  $\neg$  の入力配線と出力配線に対応する入力端子と出力端子の組  $(o, \neg)$  を変項 (Variable) と呼ぶ．

評価回路の解析を容易にするためにいくつか用語を定義する．

#### 定義 0.2.3. $\checkmark$

評価回路において， $k$  より大きい番号の素子による部分回路を確定回路 (Decided Circuit)， $k$  番以下の番号の素子による部分回路を未定回路 (Pending Circuit)，確定回路のうち出力配線が確定回路から未定回路に繋がる素子からなる部分回路を作動回路 (Working Circuit)  $w_k$ ， $k$  番の素子を遷移素子 (Transit Gate)  $g_k$  と呼ぶ． $w_k$  の出力から  $g_k$  の出力を確定することを  $k$  番の遷移 (Transit) と呼び，遷移を大きい番号順に並べた列を計算 (Computation) と呼ぶ．評価回路の計算は大きい番手から小さい番手に順番に遷移し，最終的には 0 番 (出力端子) の遷移で終了する．

#### 定義 0.2.4. $\checkmark$

評価回路の計算において 1 を出力する入力端子からなる部分回路を入力 (Input) と呼ぶ．入力  $t$  において，1 を出力する素子からなる部分回路を履歴 (History) と呼ぶ．簡単のため，入力や履歴は出力値 1 の素子の集合で表す．回路の出力素子の値を 1 にする評価履歴を受理履歴 (Accept History)，0 にする評価履歴を拒否履歴 (Reject History) と呼ぶ．また，評価回路の一部の配線の値を 0 に固定した評価履歴を縮小履歴 (Shrink History)，評価回路の出力の値を維持する極小の縮小履歴を中核履歴 (Kernel History) と呼ぶ．またそれぞれの履歴における入力を受理入力，拒否入力，縮小入力，中核入力と呼ぶ．各素子についても同様に，素子の受理履歴，拒否履歴，縮小履歴，中核履歴，受理入力，拒否入力，縮小入力，中核入力を定める．入力  $t$  の評価履歴と  $k$  番の作動回路の共通部分を局面 (Phase) と呼ぶ．入力と同様に，受理履歴，拒否履歴，縮小履歴，中核履歴の局面を，受理局面，拒否局面，縮小局面，中核局面と定める．

[ $F$ ] の出力に到達する全ての中核履歴を集めた集合を中核解法 (Kernel Solution) と呼ぶ．素子，及び局面についても同様に中核解法を定める．中核解法の入力の集合を中核問題 (Kernel Problem) と呼ぶ．また，中核局面の中核問題は中核局面を構成

する素子の中核問題の集合とする。なお簡単のため、誤解の無い範囲で中核問題と素子や局面を同一視して表記することがある。

#### 定理 0.2.5. $\checkmark$

評価回路の任意の素子  $g$  はいずれかの中核局面に属する。

証明. 背理法により示す。「評価回路に中核局面に属しない素子  $g$  が存在する」と仮定する。前述 0.2.4 の定義と仮定より、 $g$  は出力を 0 に固定しても評価回路の出力の値は変わらない。このことは評価回路から  $g$  を取り除いても出力が変わらないことを意味し、前述 0.2.10.2.2 で定義した評価回路規模の最小性と矛盾する。よって定理が成り立つ。  $\square$

評価回路の入力を考える。評価回路の入力が NOT 素子の入力配線（否定標準回路の入力配線）と出力配線からなることから、評価回路は (NOT 素子により) 制限された入力を計算する単調回路と考えることができる。この考えを発展させると、評価回路の入力の制限を NOT 素子よりも緩和することにより、単調回路、あるいは単調回路と否定標準回路の中間の計算を行う回路を考えることができる。

#### 定義 0.2.6. $\checkmark$

評価回路において、任意の変項 ( $[o], [-]$ ) について NOT 素子の制約  $[o] \wedge [-] \neq 1, [o] \vee [-] \neq 0$  を持つ入力を変項入力 (Variable Input) と呼ぶ。任意の変項 ( $[o], [-]$ ) について (NOT 素子よりも緩和した) 制約  $[o] \wedge [-] \neq 1$  を持つ入力を限定入力 (Restrict Input) と呼ぶ。制約を持たない入力を完備入力 (Complete Input), あるいは単に入力と呼ぶ。また、完備入力や限定入力、変項入力の部分集合を部分入力と呼ぶ。

また、中核局面の入力の種類に関わらず出力を完備入力とすることを、局面の完備化 (Completion), このときの局面の出力を完備化した局面と呼ぶ。完備化により新たに追加された入力を局面の完備化による漏出入力 (Spillage Input) と呼ぶ。中核入力に関わらず中核履歴全体を完備入力とすることを、履歴の完備化, このときの履歴の出力を完備化した履歴と呼ぶ。

### 0.3. 完備入力における評価回路の性質

完備入力を計算する評価回路の性質を考える。評価回路は受理入力と拒否入力を計算により区別する機能を持つため、それぞれの履歴の構造を見ることにより性質を明らかにすることができる。特に、受理履歴は必ず中核履歴を含み、また拒否履歴は中核履歴を含まないため、中核履歴を見ることで計算における評価回路の特徴を見ることができる。

中核履歴における AND 素子の働きを考える。中核履歴の極小性を考えると、中核履歴における OR 素子はひとつの入力配線とひとつの出力配線からなる回路であり、配線と等価になる。つまり中核履歴において入力  $t$  の計算は AND 素子が行い、入力を段階的にまとめて最終的にはひとつの出力端子にまとめる。この AND 素子の働きは中核履歴と中核入力・受理入力・拒否入力を重ねるとより明確になる。受理入力は中核入力のいずれかを含むため、受理履歴は中核履歴の AND 素子により途切れること無く回路の出力素子まで到達する。しかし拒否入力はどの中核入力も含まないため、拒否履歴はいずれかの AND 素子で途切れて回路の出力素子まで到達できない。つまり、AND 素子は計算する問題の中核入力と拒否入力の異なる部分入力を見つけ、回路の出力を決定する働きがある。

中核履歴における OR 素子の働きを考える。OR 素子の働きは複数の中核履歴を重ねると明確になる。それぞれの中核履歴は計算の初期において差分を持つが、計算を進めるうちにそれぞれの差異は OR 素子により同じ中核局面に遷移し、出力では全て同じ値となる。この異なる履歴を同じ履歴に遷移するのが OR 素子の働きで、OR 素子の入力において区別可能だった入力値は出力で区別不可能な出力値となる。つまり、OR 素子は問題において対称な部分入力をまとめて区別不要な (そして区別不可能な) 値にまとめ、互いに異なる中核入力を同じ中核局面にまとめる働きがある。

#### 定義 0.3.1. $\tilde{\text{AND}}$

評価回路において、AND 素子により入力となる中核局面の一部または全てをひとつの出力にまとめることを縮約 (Contraction)、OR 素子により異なる中核局面の差分の一部または全てをひとつの出力にまとめることを統合 (Unification) と呼ぶ。また、AND 素子の縮約を出力から入力に辿ることを増補 (Enlargement)、OR 素子の統合を出力から入力に辿ることを分裂 (Fissuration) と呼ぶ。

定理 0.3.2.  $\hat{a}\check{A}\check{N}$

評価回路にある 2 つの中核履歴  $P, Q$  がある場合、その中核履歴は計算により中核入力  $p, q$  の差分を含む部分入力を、 $p, q$  それぞれを AND 素子により縮約しつつ、 $p, q$  を OR 素子により統合しながらひとつの中核局面にする。最終的には統合した中核局面を AND 素子により出力に縮約する。

証明. 中核入力  $p, q$  においては差分を持ち、出力においては同じ 1 となることより、中核履歴の計算のいずれかにおいて同じ中核局面になることがわかる。また、中核履歴  $P, Q$  には、中核履歴の定義より  $p$  の計算時には  $Q$  に、 $q$  の計算時には  $P$  に、それぞれ 0 を出力する素子が存在するため、中核履歴をまとめる素子は OR 素子で無くてはならない。よって定理が成り立つ。  $\square$

評価回路はこの AND 素子と OR 素子の働きにより、問題から拒否入力を除外するとともに受理入力同士を同じ出力にまとめる計算を行う。しかし、計算は問題全体の構造により大きく制限を受ける。計算においてある入力  $p, q$  の中核局面が同じになると、それ以降の計算において中核局面は最後まで同じになるため、評価回路は一度同じ中核局面になった入力をそれ以降の計算において区別することができない。よって評価回路は計算において問題全体を通じて交換可能な部分入力のみをまとめる必要があり、交換不可能な部分入力と混ざらないようにする必要がある。

定義 0.3.3.  $\hat{a}\check{A}\check{N}$

中核局面  $p_k$  において、 $p_k$  の部分集合  $f$  の中核入力  $a$  を同じく  $f$  の中核入力  $b$  に交換しても中核局面  $p_k$  を維持することを、中核局面  $p_k$  における入力  $a, b$  の互換 (Transposition) と呼ぶ。簡単のため、 $a = b$  の場合も自分自身との互換 (恒等置換) として扱う。

定理 0.3.4.  $\hat{a}\check{A}\check{N}$

完備入力を計算する評価回路で、中核局面  $p_k$  のある素子  $g$  の中核問題が中核入力  $a, b$  を含むならば、部分入力  $a, b$  は  $p_k$  で互換。

証明. 完備入力であればすべての組み合わせの入力が存在するので、 $p_k \setminus \{g_k\}$  の中核入力に入力  $a, b$  いずれを追加した入力も完備入力に存在し、 $g_k$  の出力を 1 にす

る。よってこの入力は  $p_k$  の中核入力となる。またこのことは任意の  $p_k \setminus \{g_k\}$  の中核入力について成り立つので、定理が成り立つ。  $\square$

#### 系 0.3.5. $\hat{a}\check{A}\check{N}$

完備入力を計算する評価回路で、部分入力  $a, b$  が中核局面  $p_k$  で互換とならないのならば、 $p_k$  は入力  $a, b$  の属する素子  $g$  を含まない。

つまり、完備入力では、中核入力において互換な部分入力同士でなければ統合することができない。ただし  $b = a$  (自分自身と互換) の場合は常に互換となるため、評価回路はまず AND 素子を用いて部分入力を他の入力と互換になる程度まで縮約し、その出力を OR 素子の入力として統合する。この AND 素子  $\rightarrow$  OR 素子の順番を逆に OR 素子  $\rightarrow$  AND 素子とすると、先に OR 素子で統合した部分入力を以降の AND 素子で区別出来なくなるため、一般には順番を逆にすることが出来ない。また、すでに統合した入力同士もお互いに互換とならなければ縮約できないので、 $b \neq a$  の場合も  $b = a$  と同様にまず他の入力と互換になる程度まで縮約し、その後統合する必要がある。

よって、互換となる極小の部分入力の種類が多数存在する問題を計算する評価回路は、少なくとも部分入力の種類の数の素子を含む大規模な回路となる。

### 0.4. 限定入力における評価回路の性質

限定入力における評価回路の性質を考える。限定入力は完備入力と異なり制約  $[o] \wedge [\neg] \neq 1$  を持ち、AND 素子による計算を制限する。完備入力ではすべての入力の組み合わせがそのまま出力になっていたのに対し、限定入力では  $[o] \wedge [\neg] = 1$  となる組み合わせは入力に存在しないので取り除かれる。しかし、出力を完備化した局面まで拡大すると、完備入力と同様の性質が現れる。

#### 定理 0.4.1. $\hat{a}\check{A}\check{N}$

限定入力を計算する評価回路で、中核局面  $p_k$  のある素子  $g$  の中核問題が中核入力  $a, b$  を含むのならば、部分入力  $a, b$  は  $p_k$  で  $[o] \wedge [\neg] = 1$  を含めて完備化した局面において互換。

証明. 入力を限定入力に限定しても, 出力を完備入力まで完備化すれば前述 0.3.4がそのまま成り立つので, 定理が成り立つ.  $\square$

#### 定理 0.4.2. $\hat{a}\check{A}\check{N}$

限定入力を計算する評価回路で, 部分入力  $a, b$  が中核局面  $p_k$  で ( $[o] \wedge [-] = 1$  とならない限定入力の局面で) 互換にならないのならば,  $p_k$  は  $a, b$  を含む素子  $g$  を含まない.

証明. 前述 0.4.1の対偶「限定入力を計算する評価回路で, 部分入力  $a, b$  は  $p_k$  で  $[o] \wedge [-] = 1$  を含めて完備化した局面において互換でないのならば, 中核局面  $p_k$  のある素子  $g$  の中核問題が中核入力  $a, b$  を含まない」を考える. ここで部分入力  $a, b$  が  $p_k$  で  $[o] \wedge [-] = 1$  とならない限定入力の範囲で互換にならないのならば,  $a, b$  は  $p_k$  を完備化した局面でも互換とならない. よって上記において  $a, b$  の互換の範囲を「 $p_k$  で  $[o] \wedge [-] = 1$  を含めて完備化した局面」から「 $p_k$  で  $[o] \wedge [-] = 1$  とならない限定入力の局面」に限定することができる. よって定理が成り立つ.  $\square$

限定入力を計算する評価回路では, 完備入力を計算する評価回路と違いあくまで限定入力の範囲を考慮すれば良く, 限定入力に収まらない完備入力の範囲については計算する問題に関係なく計算結果を設定することができる. 完備入力では別の素子にして互換・非互換の関係を維持しなくてはならない評価回路でも,  $[o] \wedge [-] \neq 1$  の関係を用いて局面の出力を限定入力の範囲から追い出すことにより互換・非互換の関係を維持することができる.

#### 定義 0.4.3. $\hat{a}\check{A}\check{N}$

限定入力を計算する評価回路の中核局面  $p_k$  において,  $p_k$  の完備化した局面で  $[o] \wedge [-] = 1$  となる全ての変項の  $[o], [-]$  いずれかを持ち, それ以外の変項は  $[o], [-]$  いずれも持たない限定入力を主軸 (Shaft) と呼ぶ.  $p_k$  に存在する素子の中核問題において, ある主軸に対して  $[o] \wedge [-] = 1$  とならない中核入力の集合をその主軸の軌道 (Orbit) と呼ぶ. また軌道から主軸を取り除いた差分を走路 (Track) と呼

#### 定理 0.4.4. $\hat{a}\check{A}\check{N}$

限定入力を計算する評価回路において, 中核局面  $p_k$  の同じ主軸にある軌道は互換であり, 同じ主軸にない軌道は (限定入力の範囲で) 非互換となる.

証明. 同じ主軸にある軌道はいずれも主軸と  $[o] \wedge [\neg] = 1$  とならないことより, 中核局面  $p_k$  においても同じ主軸の軌道を交換しても  $[o] \wedge [\neg] = 1$  とはならず限定入力の範囲に収まる. よって軌道は全て互換となる. 主軸にない軌道には, その主軸と  $[o] \wedge [\neg] = 1$  となる変項が存在する. よって中核局面  $p_k$  においてその主軸の軌道と交換すると  $[o] \wedge [\neg] = 1$  となる中核入力が出てきて限定入力の範囲に収まらない. よって主軸にない軌道はその主軸の軌道と非互換となる.  $\square$

#### 定理 0.4.5. $\hat{a}\check{A}\check{N}$

限定入力を計算する評価回路の中核局面  $p_k$  において, ある素子  $g \in p_k$  の中核問題が  $p_k$  のいずれかの主軸の軌道と互換となる中核入力  $a, b$  を含むのならば,  $a, b$  は  $p_k$  で互換.

証明. 背理法により示す. 「限定入力を計算する評価回路の中核局面  $p_k$  において, ある素子  $g \in p_k$  の中核問題が  $p_k$  のいずれかの主軸の軌道と互換となる中核入力  $a, b$  を含み, かつ  $a, b$  が  $p_k$  で互換とならないことがある.」と仮定する. 中核局面  $p_k$  が中核入力  $a, b$  を含む素子  $g_k$  を含むことと前述 0.4.1 より, 中核局面  $p_k$  において中核入力  $a, b$  は  $[o] \wedge [\neg] = 1$  を含めて拡張した完備入力において互換となる. また入力  $a, b$  が中核局面  $p_k$  のいずれかの主軸の軌道と互換となることと前述 0.4.4 より, 前述の互換には  $[o] \wedge [\neg] = 1$  を含まない (限定入力の範囲に収まる) ものが存在する. しかしこのことは入力  $a, b$  が中核局面  $p_k$  において (限定入力の範囲で) 互換で無いという仮定と矛盾する. よって仮定が矛盾するため背理法より定理が成り立つ.  $\square$

#### 系 0.4.6. $\hat{a}\check{A}\check{N}$

限定入力を計算する評価回路の中核局面  $p_k$  において,  $p_k$  のいずれかの主軸の軌道と互換となる部分入力  $a, b$  が  $p_k$  で互換でないのならば,  $p_k$  は  $a, b$  を含む素子  $g$  を含まない.

限定入力を計算する評価回路の中核局面  $p_k$  において,  $p_k$  で互換でない部分入力  $a, b$  を  $p_k$  の素子  $g$  が含むのならば,  $a, b$  は  $p_k$  の同じ主軸と互換とならない.

OR 素子による統合において主軸により非互換を維持している場合, OR 素子は出力だけではなく入力でも主軸を持たなくてはならない.

#### 定理 0.4.7. $\hat{A}\check{N}$

限定入力を計算する評価回路において、 $OR$  素子  $v_k$  の遷移により中核局面  $p_{k-1}$  に統合するとき、 $v_k$  の出力における限定入力の  $p_{k-1}$  での主軸部分は、 $v_k$  のいずれかの入力線の限定入力においても存在する。

証明.  $v_k$  の出力に含まれる限定入力は  $v_k$  のいずれかの入力にも含まれており、また限定入力は  $v_k$  の入力出力において大きさが変化しないため、 $v_k$  の出力の限定入力において主軸となる部分入力は  $v_k$  の入力においても存在する。  $\square$

よって、評価回路は非互換な限定入力を主軸により分離しながら統合する場合は、限定入力を統合する前にまず縮約により主軸を限定入力に構成する必要がある。よって主軸を用いて回路の素子の数を効率化するとしても、主軸自体を入力に構成してから計算する必要があるため、回路の効率化は中核入力の部分入力の非対称性により制限される。

### 0.5. クリーク問題を計算する評価回路の解析

次に、具体的な問題としてクリーク問題を計算する評価回路の構成を解析する。クリーク問題は、中核入力の部分入力がお互いに強く相関しており、クリークの共通グラフに対する差分グラフが共通グラフ全体に依存しているという特徴を持つ。本稿ではこれらの特徴を部分入力の互換性・非互換性により解析する。

クリーク問題が単調問題となるよう、本稿ではクリーク問題を下記の通り定める。

#### 定義 0.5.1. $\hat{A}\check{N}$

本稿によるクリーク問題を、与えられたグラフの頂点数の半分より多くの頂点を持つクリークの有無を判定する問題とする。またその入力は、入力の位置に対応付けたグラフの辺の有り無しを  $\{1,0\}$  で表したものとする。つまり入力の問題の頂点数を  $n$  とすると、入力長は取りうる最大の辺の数  $n(n-1)/2$  となる。入力の各値はグラフの辺と一対一対応し、対応する入力値が1のときに辺が存在し、0のときに辺が存在しないグラフとする。

また、クリーク問題を計算する評価回路において、中核入力の中に存在する最大クリークを中核クリーク、中核クリーク同士の共通グラフを共通クリーク、中核クリークから共通クリークを取り除いた差分を差分グラフと呼ぶ。

簡単のため、まずはクリーク問題においてひとつの中核クリークのみからなるグラフを考える。前述 0.3.50.4.6 で示したとおり、中核局面は互換とならない入力を含む素子を含むことができない。クリーク問題における互換とは、中核クリーク同士の共通クリークに対する差分グラフの互換であり、共通クリークが存在するのならば互換となる差分グラフを入れ替えてもグラフはクリークを維持する。そのため、互換となる差分グラフの集合は共通クリークとの縮約を前提として統合することができる。しかし統合した差分グラフの集合は他の差分グラフの集合に対応する共通クリークと縮約しても互換とはならず受理入力と拒否入力とが混在する。このことは差分グラフを統合する OR 素子是对応する共通クリークとの AND 素子による縮約にしか使用できず、他の共通クリークとの AND 素子による縮約に流用できないことを意味する。

互いに異なる中核クリークによる中核入力と同じ中核局面に統合する最初の計算を考える。この遷移の前の中核局面ではどの局面も中核入力を統合しておらず、すべて異なる中核局面となる。計算における最初の統合のため、OR 素子の入力は統合する中核クリークのそれぞれの差分グラフの残り一部または全体からなり、それぞれ異なる中核クリークのグラフを縮約したものとなる。

OR 素子の統合は単数の中核局面  $p$  に統合する場合と複数の中核局面  $p_1, p_2, \dots, p_k$  に統合する場合がある。中核クリークの差分グラフは同じ共通クリークに縮約しないと互換とならないので、クリークの差分グラフ全体を縮約した AND 素子の出力を OR 素子で統合する場合は単数の中核局面  $p$  に統合する場合となる。回路の規模を抑えるためには同じ OR 素子による統合で複数の中核局面  $p_1, p_2, \dots, p_k$  を統合する必要がある。しかし中核クリークの極小性（非冗長性）より、ある共通クリークに対応する差分グラフの集合はただひとつの集合となり、他の共通クリークの差分グラフと互換になることはない。よって差分グラフの統合により複数の中核局面を統合するためには差分グラフの集合同士の非互換性を維持しながら統合する必要がある。

同じ素子を使いながら非互換性を保つためには、前述 0.4.6 の通り主軸を用いる必要がある。互いに非互換となる差分グラフの集合ごとに、それぞれ異なる主軸を付加して特定の共通クリークと対応するようにすることで非互換性を保つ。非互換性を保つのに必要な主軸の規模は、非互換となる差分グラフの種類の数により定まる。よって互いに非互換な多数の差分グラフの集合の統合をひとつの OR 素子にまとめ

ようとするほど、差分グラフの非互換性を保つために長大な主軸を必要とする。つまり中核入力を統合する OR 素子の入力、非互換な多数の統合をひとつの OR 素子にまとめて効率化しようとする、非互換性を維持するために多数の主軸が必要となる相反関係がある。特にクリーク問題の場合は必要となる主軸が多くなるため、主軸を用いた効率化は困難となる。

#### 定理 0.5.2. $\hat{a}\check{A}\check{N}$

クリーク問題を計算する否定標準回路は、少なくとも計算にて統合する差分グラフの集合の数より多くの素子を必要とする。

この差分グラフの集合の数には、自己互換により統合・縮約する部分グラフの単集合を含む。

証明. クリーク問題を計算する否定標準回路の評価回路が限定入力を計算する状況において、中核入力を統合する OR 素子の数、および主軸を縮約する AND 素子の数を考える。クリーク問題の中核入力は問題の条件を満足する中核クリークをただひとつだけ含む限定入力であり、互換となる入力は中核クリークの共通クリークによる差分グラフを含む入力となる。中核入力の極小性より互換となる差分グラフの集合はひとつの共通クリークと相互依存しており、その共通クリークを含む入力と AND 素子により縮約するときのみ互換となる。

評価回路の計算は中核入力を同じ中核局面に統合する。この統合を効率的に行うにはひとつの OR 素子で多数の中核局面の統合を行う必要がある。しかし前述 0.4.5 の通り、評価回路の計算において中核局面の同じ素子の問題に含まれる入力は主軸と非互換でない限り中核局面においても互換となる。それに対してクリーク問題は差分グラフの集合と共通クリークの相互依存が強く、同じ差分グラフの集合はたかだかひとつの共通クリークの基でしか互換とならない。そのため、ひとつの OR 素子で複数の中核局面の統合を行うためには主軸を用いて非互換性を保つ必要がある。クリーク問題の主軸は、非互換な共通クリークや差分グラフに対して「非互換な共通クリークや差分グラフのもつ辺を含まない」という値を主軸としてすべての非互換な共通クリークや差分グラフに含めることで実現する。

クリーク問題における主軸による OR 素子の統合の効率化を考える。前述 0.4.7 の通り、軌道に対する主軸の付加は OR 素子で統合する前の計算で行う必要がある。ま

た前述 0.4.5の通り，中核局面の素子の中核問題のうち主軸と互換となる入力はすべて互換となるので，この主軸は中核局面にある素子の中核問題がすべて互換になるまで存在しなくてはならない．よって主軸を用いて OR 素子の統合を効率化したとしても，主軸自体の互換性が低い場合は主軸を個別に構築する必要があり，主軸を構築するのに使用する AND 素子が多数必要となる．クリーク問題の場合は統合する差分グラフの要素と共通クリークごとに主軸が必要となるため，OR 素子を効率化したとしても結局差分クリークの集合と共通クリークの組み合わせごとに主軸を計算する個別の AND 素子が必要になる．

差分グラフの集合についても共通グラフと差分グラフを取ることができ，その差分グラフの互換を考えることができる．このように共通グラフを取ることによって素子を節約することができる．しかしこの差分グラフの共通グラフは，元の共通クリークと組み合わせると新たな共通クリークになることからわかるとおり他の差分グラフの集合と互換にならない．よってこの差分グラフの共通グラフ・差分グラフの集合のために異なる主軸が新たに必要となり，主軸を縮約するための AND 素子が新たに必要となる．

上記の差分グラフの共通グラフを取るのを諦めた場合，差分グラフの自己互換を利用して差分グラフを縮約しなくてはならず，個別に AND 素子を用いて縮約するか，主軸を利用して非互換な他の差分グラフと同じ素子で縮約するかのいずれかとなる．主軸を利用しない場合は差分グラフを縮約する AND 素子が必要となり，主軸を利用したとしてもそれぞれの差分グラフごとに異なる主軸を付加して縮約する AND 素子が新たに必要となる．

以上より，クリーク問題を計算する否定標準回路は，少なくとも計算にて統合する差分グラフの集合の数より多くの素子を必要とすることがわかる． □

#### 定理 0.5.3. $\hat{a}\check{N}$

クリーク問題を計算する否定標準回路は，少なくとも中核クリークよりも多くの素子を持つ．

証明．クリーク問題における中核クリークの共通クリークと差分グラフの関係を考える．共通クリークと差分グラフは一対一に対応しており，差分グラフを見れば対応する共通クリークは一意に決まり，また差分グラフと共通クリークが決まれば中

核クリークも一意に決まる．つまり差分グラフと中核クリークは一対一に対応しており，差分グラフを決定する素子は中核クリークと一対一に対応する．ここで前述 0.5.2より主軸を用いたとしても否定標準回路は差分グラフの集合よりも多くの素子を必要とする．この差分グラフの集合は差分グラフの単集合も含むため，前述の中核クリークに一対一に対応する差分グラフの単集合の数よりも多くの素子が必要となる．よって定理が成り立つ．  $\square$

### 0.6. まとめ

以上の通り，否定標準回路を用いることで問題の部分入力の構造を解析することで計算複雑性の性質を明らかにし，その実例としてクリーク問題の計算複雑性を解析した．

## 参考文献

- [Ajtai] Ajtai, M. Komlós, J. and Szemerédi, E.: An  $O(n \log n)$  sorting network, STOC(1983).
- [Furst] Furst, M. Saxe, J.B. and Sipser, M.: Parity, circuits, and the polynomial-time hierarchy Mathematical Systems Theory(1984)
- [Razborov] Razborov, A.: Lower bounds on the monotone complexity of some Boolean functions. Mathematics of the USSR(1985)
- [Markov] Markov, A.: On the inversion complexity of systems of Boolean functions, J. ACM 5(4)(1958)
- [Sipser] Sipser, M.: 計算理論の基礎 原著第2版, 共立出版 (2008).